

PAT-NO: JP404097564A

DOCUMENT-IDENTIFIER: JP 04097564 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 30, 1992

INVENTOR-INFORMATION:

NAME

YANO, KAZUO

SHIMOHIGASHI, KATSUHIRO

SEKI, KOICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP02214267

APPL-DATE: August 15, 1990

INT-CL (IPC): H01L027/10, H01L027/00 , H01L029/784 , H01L029/788 , H01L029/792

US-CL-CURRENT: 257/25, 438/129 , 438/FOR.410

ABSTRACT:

PURPOSE: To permit high-speed information processing by extremely small electric consumption by locking a conductive carrier in the activating area in a barrier area and generating electric dipole by the localization of the conductive carrier.

CONSTITUTION: The barrier area 7 of a high-resistance semiconductor, etc., includes plural activating areas 6 and a conductive carrier 4 is locked in the activating areas 6. The activating areas 6 contain an impurity atom 5, and since the activating areas which generate electric dipole by the localization of the conductive carrier are separated by the barrier area, the conductive carrier does not move between the activating areas and high-speed operation is attained. Since the conductive carrier generated by the impurity atom is locked in the activating area, the conductive carrier does not flow out from the activating area and information is maintained and stored. The electric dipole is generated by the localization of the conductive carrier in the activating area, the information is expressed and stored by the direction and the size of the electric dipole and the content is controlled by an external electric field. The content of the information is successively transmitted to the adjacent electric dipole using the interaction caused by the electric field between the adjacent electric dipoles and the information is transmitted.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-97564

⑤ Int.Cl.⁵H 01 L 27/10
27/00
29/784
29/788
29/792

識別記号

4 5 1

庁内整理番号

8624-4M
7514-4M

⑬ 公開 平成4年(1992)3月30日

7514-4M H 01 L 29/78
8422-4M3 7 1
3 0 1 J

審査請求 未請求 請求項の数 10 (全24頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-214267

⑰ 出 願 平2(1990)8月15日

⑱ 発 明 者 矢 野 和 男 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 下 東 勝 博 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 関 浩 一 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 高抵抗半導体、絶縁体あるいは半絶縁体からなる障壁領域を有し、

該障壁領域の中に複数の活性領域を含み、

該活性領域はその内部に伝導キャリアを閉じ込めることができ、

各々の上記活性領域がドナー、あるいはアクセプタとして働く不純物原子を含み、

上記複数の活性領域の1つの内部における上記伝導キャリアの局在により電気双極子を生じしめることを特徴とする半導体装置。

2. 上記複数の活性領域間に働く上記電気双極子の相互作用によって、該活性領域の1つの内部における上記伝導キャリアの局在を変化させることにより、上記活性領域に生じた電気双極子の方向もしくは大きさを変化せしめ、該変化を調接する電気双極子方向もしくは大きさの変化

として伝播させ、これにより情報が伝達されることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 上記活性領域は、その中に、第1及び第2の低ポテンシャルエネルギー領域を有することを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 上記活性領域は、その中に、第1及び第2の低ポテンシャルエネルギー領域を有し、

上記伝導キャリアが第1の低ポテンシャルエネルギー領域に存在するか、第2の低ポテンシャルエネルギー領域に存在するかによって上記電気双極子が形成されてなり、

複数の上記活性領域における電気双極子に対応させて情報を保持することを特徴とする特許請求の範囲第1項記載の半導体装置。

5. 上記障壁領域と上記複数の活性領域を含む膜を具備してなり、

該膜の方線方向と実質的に平行に電界を印加し、該電界と実質的に同一方向もしくは実質的

に反対方向の電気双極子からなる微小領域を上記膜の内部に分布せしめ、

情報を保持することを特徴とすることを特徴とする特許請求の範囲第1項記載の半導体装置。

6. 上記印加電界と実質的に同一方向もしくは実質的に反対方向の上記電気双極子からなる上記微小領域をデジタル信号の"1"あるいは"0"と対応させることを特徴とする特許請求の範囲第5項記載の半導体装置。

7. 上記膜の面の方向と実質的に平行に電界を印加し、該電界の方向を回転せしめることによって、上記複数の活性領域の間で電気双極子を転送することを特徴とする特許請求の範囲第5項記載の半導体装置。

8. 上記活性領域の1対を互いに隣接して配置することにより、等価的にフリップフロップを擬似することを特徴とする特許請求の範囲第1項記載の半導体装置。

9. 上記擬似フリップフロップを複数個配置し、該複数個の擬似フリップフロップにワード線と

データ線を接続もしくは接近させて情報記憶装置を構成することを特徴とする特許請求の範囲第1項記載の半導体装置。

10. 上記半導体装置の動作温度の上限値が所定の値に設定され、該上限値における上記電気双極子の極在による誘電率が少なくとも所定の値を有する如く、上記複数の電気双極子の間の距離が少なくとも設定されてなることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体装置に係り、とくに量子閉じ込め構造を用いて情報の表現、伝達、記憶もしくは処理を行なう半導体装置に関する。

【従来の技術】

最近の微細加工技術の進歩とともに、サブミクロンあるいはナノメートルレベルの微細加工が可能になり、電子のドブロイ波長と同程度あるいはそれ以下の微細な構造を作製できるようになってきた。これと共に、従来のトランジスタ回路に替

わる新しいデバイスあるいは情報処理の方法が探索されるようになってきた。そのような提案の一つとして、例えば、第1の公知例として米国特許第626802号公報（対応日本出願：特開昭61-82473号公報）に記された"量子結合装置"がある。また類似の素子に関しては、マーク・エー・リード、シンポジウム・オン・

1986・ヴィエルエスアイ・テクノロジー、第1頁ないし第4頁、(Mark.A. Reed, Symposium on 1986 VLSI Technology, pp.1-4) 及び、ディー・ケー・フェリー、フィジクス・アンド・テクノロジー・オブ・サブミクロン・ストラクチャーズ、スプリングー・フェアラーク、1988年、第232頁ないし第236頁、(D.K.Ferry, Physics and Technology of Submicron Structures, Springer-Verlag, 1988, pp.232-236) 等において論じられている。

この中で、上記第1の公知例による"量子結合装置"は、第16図に示すようにアレー状に"量子ドット"（3次元空間のすべての方向で電子の

ドブロイ波長あるいはそれ以下の寸法をもつ、低ポテンシャル領域）を配列し、量子ドット間を電子がトンネル効果によって渡り歩き、これにより情報処理を行なうものである。これの具体的構成としては、例えば量子ドットをGaAsで構成し、これをGaAlAsでその周りを満たせば良い。

【発明が解決しようとする課題】

従来のトランジスタを用いた集積回路においては、トランジスタが動作する毎に、トランジスタ内部および配線に付随した浮遊容量の充電、放電を行うため、大きな電力消費が必要であった。今後、微細加工の進歩と共に消費電力の制限により集積度が限界に達すると考えられる。

また、従来のトランジスタを用いた回路では、多数のトランジスタを相互に金属の配線で接続するため、集積度の増加とともに配線に要する面積、配線の抵抗などが増加し、これも集積回路の性能を制限する大きな要因になっている。

また、微細化とともに集積回路中の素子も急激に複雑になってきている。例えば、ダイナミック

RAMの記憶セルは従来は平面に形成した単純な構造の容量を用いていたが、サブミクロンの領域では大きな静電容量を確保するため、溝型容量セルなどの極めて複雑な形状が必要になってきている。この傾向は今後もさらに続き、集積回路の製造コストを増加する原因になると考えられる。

さらに、従来のトランジスタを用いた集積回路は動作速度にも限界がある。従来のトランジスタでは、伝導キャリアが実際にソースからドレイン（バイポーラトランジスタではエミッタからコレクタ）に走行して電流となり、この電流の有無をデジタル信号の1/0と対応させている。従って、スイッチング動作にはトランジスタのソースからドレインまで実際に伝導キャリアが移動する時間（走行時間）が必要である。しかし、伝導キャリアの半導体中での速度は良く知られているように飽和速度（ 1×10^7 cm/s程度）が上限となる。従って、上記走行時間も制限されてしまう。

上記第1の公知例の量子結合装置も、伝導キャ

リアである電子が量子ドット間を実際に走行することが動作の基本となっている点では、従来のトランジスタとなんら変わりはなく、トランジスタと同様の速度の制限を受ける。

また、上記量子結合装置では量子ドット中に1個の電子が有るか無いかによってデジタル信号を表現している。ダイナミックRAMの記憶セルにおいて、（リフレッシュ動作無しでは）情報が失われてしまうように、この量子結合装置では情報が失われてしまうことは明らかである。これは半導体中では、電子は再結合により消滅したり、あるいは熱励起によって生成したりするためである。

以上により本発明の目的は極めて低消費電力で高速に情報処理を行なうための、情報の表現、伝達、記憶、もしくは処理を行なう半導体装置を提供することにある。

本発明の他の目的は高い誘電率（屈折率）を有し、かつ高速に応答できる新しい半導体装置を提供することにある。

本発明の他の目的は、大容量記憶に適した記憶媒体である半導体装置を提供することである。

【課題を解決するための手段】

上記目的を達成するため、高抵抗半導体、絶縁体あるいは半絶縁体からなる障壁領域（7）を有し、

該障壁領域（7）の中に複数の活性領域（6）を含み、

該活性領域（6）はその内部に伝導キャリア（4）を閉じ込めることができ、

各々の上記活性領域（6）がドナー、あるいはアクセプタとして動く不純物原子（5）を含み、

上記複数の活性領域の1つの内部における上記伝導キャリアの局在により電気双極子を発生せしめることを特徴とする半導体装置を構成するものである。

【作用】

活性領域間が高抵抗半導体、絶縁体あるいは半絶縁体による障壁領域で隔てられていることにより、伝導キャリアが活性領域の間を移動することがな

い。このため伝導キャリアの走行に要する時間によって装置の動作速度が制限されることがなく、高速の動作が達成できる。

また、上記活性領域の内部にドナーあるいはアクセプタとして動く不純物原子により発生した伝導キャリアが閉じ込められることにより、該伝導キャリアが該活性領域から流出して失われることがなく、このため情報が失われることがない。これによって情報の保持、記憶を行なうことができる。

また、上記活性領域の内部における上記伝導キャリアの局在によって電気双極子を発生せしめることにより、該電気双極子の方向や大きさにより情報を表現、記憶することができる。またその内容を、外部から電界を与えることで制御することができる。また隣接する電気双極子間に動く電界による相互作用を用いて情報の内容を順次隣接する電気双極子へ伝達させ、これにより情報の伝達を行なうことができる。

以下本発明の手段による各種の作用について、

詳細に説明する。

従来のトランジスタ回路では、トランジスタはスイッチとして機能し、トランジスタがオン状態となるかオフ状態となるかをデジタル信号と対応させている。この時、信号は金属配線中の電位としてあらわれる。

本発明の情報表現では、電気双極子の空間的な分布を情報と対応づける。電気双極子は、電界によって容易に向きや大きさを制御することができる。従って、金属の配線を用いなくとも、遠距離から向きや大きさを変化させることができる。しかも、電気双極子の向きや大きさを変えるのには、トランジスタのように電流を流す必要がないので、本質的に低消費電力の動作に向いている。また、多数の電気双極子を同時並列に遠隔制御することが可能であるので、これを用いたプロセッサは本質的に並列処理に向いている。並列処理は高速な情報処理に極めて重要であることはいうまでもない。また、従来の金属配線によるクロック分配では、配線抵抗によるクロックスキューのため多数の情

報処理エレメント間の同期を取るのには困難であり、高速動作の障害となっている。本発明では、電界により電気双極子を遠隔操作することにより、クロックの分配は光の伝播速度で行われるので、クロックスキューは極めて小さい。

また、電気双極子は、その周りに極めて異方性の強い電界分布を作るので、隣接する電気双極子間の情報の伝達は、やはり金属の配線を用いなく行うことができる。

また、有限の電気双極子を有する素子としては、伝導キャリアを有限領域に閉じ込めることが必要である。このためには、電子親和力の異なる半導体を用いて、いわゆる量子閉じ込め構造を形成し、その中にドナーあるいはアクセプタとなる不純物を添加すればよい。従って、本発明の原理に基づく半導体装置は、従来のトランジスタに比べ極めて単純な構造を有する。

さらに、量子閉じ込め構造として、電子に対するポテンシャルの低い領域が2領域ある構造(2重極小ポテンシャル構造)を用いると、伝導キャ

リアは第1の低ポテンシャルエネルギー領域に存在するか、第2の低ポテンシャルエネルギー領域に存在するかによって2種類の電気双極子能率ベクトルと対応付けすることができるのでデジタル信号処理、デジタル信号記憶と適合する。

また量子閉じ込め構造は、ナノメートルレベルの寸法に小さくできるので、これを用いた信号処理チップ、記憶チップは極めて高集積にできる。

また本発明によれば、障壁膜の障壁高さを調節して大きな電子分極率を有する活性領域を実現し、これを格子状に並べると、近傍の活性領域の電気双極子が同方向に揃った状態が実現できる。これは、ある一つの活性領域に僅かな電気双極子が生じたとすると、これは隣の活性領域の場所に電界を作る。電子分極率が大きいので、この活性領域は大きな電気双極子能率ベクトルを持ち、もとの活性領域に大きな電界を作る。従って、もとの活性領域も大きな電気双極子能率ベクトルを持つようになる。これは、誘電体物理の用語を用いると、自発分極を持つことになるので、一種の人工的な

強誘電体を構成することができる。従来の強誘電体はイオン分極の回転を利用するため応答速度が不十分であり、キャパシタを形成した場合高周波領域で誘電率が低下する問題があった。しかし本発明の半導体装置による人工的強誘電体は、電子のトンネル現象による移動を分極に用いているため、従来の強誘電体よりも格段に超高速の応答がなされる。このため格段に超高速、超高周波用途のキャパシタが形成できる。

また、このような2重極小ポテンシャルを持つ量子閉じ込め構造を格子状に並べた構造を薄膜状にして、膜に垂直な方向に電界を印加すると、大部分の量子閉じ込め構造の電気双極子は電界の方向を向く。しかし、電界があまり強くない状態では、これらの電気双極子と反対向きの電気双極子を持つ領域が存在しえる。しかも、この反転分極領域は大きさが一定であり、大きな電界を印加して消去しないかぎり安定して存在する。これは、次に説明するメカニズムによる。垂直方向の電界によって膜は分極する。この時、膜表面に分極に

よる表面電荷があらわれ、この表面電荷の作る電界（反分極場）は分極を小さくする向きである。反対向きの分極を持つ領域ができることで表面電界が小さくなり、全体のエネルギーは小さくなる。

この反転分極領域は、大きさが一定で安定して存在するので、一種の粒子（あるいは擬粒子）としてふるまう。この反転分極領域は一樣な垂直電界のもとでは静止しているが、場所によって垂直電界が変化すると移動する性質がある。従って、この反転分極領域の面内分布を情報に対応させれば、情報を記録することができる。

この記憶方式では、記憶密度が極めて大きい、記憶保持に電力消費は不要であり、従って不揮発である。

この反転分極領域をディジタル信号の1/0と対応させれば、ディジタルの信号処理にも用いることができる。これは、従来の半導体素子において伝導キャリアという自然界にある粒子を用いているのに替えて、人工的な擬粒子である反転分極領域を情報の担体として用いることを意味する。

【実施例】

以下本発明の第1の実施例を説明する。第1図(a)(b)(c)には本発明の第1の実施例による量子閉じ込め構造を用いた半導体装置を示す。

同図(a)は活性領域の構造を示す図である。図に示すように1は第一量子井戸、2は薄い障壁膜、3は第二量子井戸、5はドナーであり、これらから活性領域6は構成されている。この活性領域は、障壁領域7の中に埋め込まれている。同図(b)は活性領域におけるポテンシャルエネルギーを示す図である。図に示すように第一および第二量子井戸1、3は、障壁領域より電子親和力の大きな半導体から構成され、中に伝導電子を閉じ込めることができる。すなわち活性領域は量子閉じ込め構造を構成する。薄い障壁膜2は量子井戸1、3より電子親和力の小さな半導体（あるいは絶縁体）から構成されている。また、薄い障壁膜にはドナーとなる不純物原子が添加されている。ドナーから生じる伝

不均一な垂直電界を印加すれば反転分極領域は移動するが、従来の半導体デバイスとは次に述べる意味で本質的な相違がある。まず、この反転分極領域の移動においては、電子は各量子閉じ込め領域の中で極めて短い距離を移動するだけである。しかも電子が移動する方向は膜に垂直な方向であり、反転分極領域の移動方向とは垂直の方向である。従来の半導体装置では情報と同時に電子が半導体中を実際に移動する必要があったが、本発明では情報の伝達はこのような電子の移動を伴わない。実際には、電気双極子が作り出す電界が半導体を光の伝播速度で伝わることになる。従って、超高速に情報処理が行なわれる。また、従来の半導体デバイスでは、電子が電界により加速され（すなわちエネルギーを得て）、障害物（結晶格子や不純物）に衝突しながら走行するので、エネルギーが熱に変わってしまう。すなわち消費電力が大きく、チップ発熱も大きい。これに対して本発明は、実際に電子が移動するわけではないので、このようなエネルギーの消費が極めて小さい。

導電子は第一あるいは第二の量子井戸いずれかに存在する。薄い障壁膜のエネルギー障壁の高さ及び膜厚は、量子井戸1から3あるいは3から1へ有限の確率でトンネル効果あるいは熱励起により電子が遷移できるように設定する。ここで活性領域間の距離（双極子格子定数）を a とし、第一および第二量子井戸の幅を d とし、量子井戸間の障壁膜の厚さを t とし、この障壁膜の高さを b と h とする。

障壁領域と量子井戸に用いる材料の組み合わせとしてはGaAlAsとGaAs、AlAsとGaAs、InPとGaInPAs、GaPとGaInPAs、SiとSiGe、SiO₂とSi、SiGeとGeなどの組み合わせが考えられる。一般には薄い障壁膜2と障壁領域7とは違う材料を用いても良いが、同じ材料を用いることもできる。具体的な一例を示すと、障壁領域としてはGaAlAs（Alの比率は例えば20%）、第一及び第二量子井戸1、3は一辺10nmのGaAsからなる立方体、薄い

障壁膜としては2nm厚のGaAlAs (Alの比率は例えば15%)に一個のドナーSiが添加されたものを用いる。

上記構成は、ドナーの代わりにアクセプタを用いても実現できる。この場合電子の代わりに正孔が活性領域中を運動する。この例としては、障壁領域としてはSi、第一及び第二量子井戸1, 3は一辺5nmのSiGe (Geの比率は例えば15%)からなる立方体、薄い障壁膜としては1nm厚のSiに一個のアクセプタBが添加されたものがある。

さらに同図(c)は格子構造を示す図である。図に示すように、活性領域6を障壁領域7の中に格子状に配列する。

次に、この装置の動作を説明する。第1図(a)に示す各々の活性領域ではドナーから発生した伝導電子4が量子井戸1あるいは3のいずれかに存在する。電子が量子井戸1にあるか3にあるかによって、この活性領域は有限の電気双極子能率ベクトルすなわち電気双極子の強

さと方向を与えるベクトルを有する。電気双極子能率ベクトル p は、次式で表わされる。

$$p = q \cdot d \quad \dots \dots (1)$$

q は電子の電荷量、ベクトル d は電子の平均位置とドナーとの距離ベクトルである。従って、第1図(a)の構造では、上向きか下向きの電気双極子能率ベクトルを有する。

第1図(c)のように格子状に配列した構造では各活性領域が上向きか下向きの電気双極子能率ベクトルを持つので、例えばある瞬間の電気双極子の分布を見ると第1図(c)のようになっている。各活性領域の電気双極子能率ベクトルが独立であり、活性領域が n 個ある場合には合計 2^n 個の分布の仕方が考えられる。これをデジタル情報と対応させる規則を定めれば n ビットの情報と対応付けすることができる。これは n ビットの情報を本実施例によって装置内部に表現していることになる。各活性領域の電気双極子能率ベクトルが独立でない場合には、

この装置が表現できる情報量は n ビット以下となる。

この格子構造を電極にはさんで、外部電界を印加すれば、活性領域の電気双極子能率ベクトルをほぼ同時に変化させることができる。各活性領域では、外部電界と他の活性領域が作る電界の総和からなる電界を受け、電界変化に応じて電気双極子能率ベクトルが変化する。各活性領域は第2図に示すように、その周りに極めて異方性の強い電界分布を作る。ベクトル r 離れた点における双極子の作る電界ベクトル $E(r)$ は次式で表される。

$$E(r) = [3(p \cdot r) r - r^2 p] / (4\pi \epsilon r^3) \quad \dots (2)$$

電界 E は、第2図に示すように、電気双極子のベクトル方向の直線上では、電気双極子と同じ方向であるが、電気双極子に垂直方向の直線上では電気双極子と反対向きである。電気双極子には、電気双極子を電界方向に向けようとする

力が働くので、これを利用して、ある方向の電気双極子能率を増加したり、逆に抑制したりすることができる。これは、活性領域間の情報の伝達を双極子相互作用で行っていることになる。その変化の仕方は、初期状態及び活性領域間の相互作用によって具体的には様々であるが、これを制御して情報処理装置として用いることができる。この情報処理装置の扱えるデータは最大で n ビットである。この時、情報は光速で伝達するので、超高速に情報は伝達する。

また、本実施例のように活性領域においてポテンシャルエネルギーが極小となる領域が(量子井戸1及び2の)2ヵ所ある場合には(2重極小ポテンシャル構造と以下呼ぶことにする)、特に微小な電界変化で電気双極子能率ベクトルを大きく変化させることができる。これは活性領域の電子分極率 α が極めて大きくなるためである。これを以下に説明する。電子分極率は次式で定義される。

$$p = \alpha E \quad \dots \dots (3)$$

ここで p は電気双極子能率ベクトル、 E は活性領域における電界ベクトルである。原子の電子分極率と同様に、活性領域の電子分極率は量子力学の摂動論を用いて次式で近似的に表わされる。

$$\alpha = 2 | \langle 1 | q d | 2 \rangle |^2 / (E_2 - E_1) \quad \dots \dots (4)$$

ここで、 $\langle 1 |$ は活性領域の基底状態の状態ベクトルを Dirac のブラ記号を用いて表わしたものの、 $| 2 \rangle$ は第一励起状態の状態ベクトルを Dirac のケット記号を用いて表わしたものの、従って $\langle 1 | q d | 2 \rangle$ はエネルギー表示での電気双極子能率ベクトル $q d$ の行列要素、 E_1 は基底状態のエネルギー、 E_2 は第一励起状態のエネルギーである。簡単な計算の結果、障壁膜の障壁高さが高くなるに従い、この式の分母の $E_2 - E_1$ は単調に減少し、従って α は増大することがわかる。薄い障壁膜の高さが無限大になると、 $E_2 - E_1$ は 0 になり、 α は無限大となる。

もとの活性領域に大きな電界を作る。従って、もとの活性領域も大きな電気双極子能率ベクトルを持つようになる。このようなポジティブフィードバックが瞬から瞬へと働くと、近い場所にある活性領域は互いに同じ方向の電気双極子能率ベクトルを持つようになる。このような活性領域の集団を以下では“分域”と呼ぶことにする。活性領域の電気双極子能率ベクトルをスピン磁気双極子能率ベクトルに置き換えれば、本実施例はちょうど強磁性体と良く似ている。磁性体の分野ではスピンの揃った領域は分域と呼ばれており、本発明でもこの呼び名をもちいる。本実施例の分域は、活性領域が互いにフィードバックを及ぼしあうため、極めて安定であり、電界を印加しなくとも、電気双極子能率ベクトルの向きを保持する。これは、誘電体物理の用語を用いると、自発分極を持つと表現できる。

3次元の立方格子を持つ物質に自発分極が生じる条件としては下記のものが知られている。

すなわち電界が 0 でも有限の電気双極子能率ベクトルを持つ、あるいは永久双極子を持つようになる。いずれにしても 2 重極小ポテンシャルの活性領域では、薄い障壁膜のポテンシャル障壁の高さによって電子分極率 α の大きさを極めて広い範囲で制御することができ、極めて大きな α を実現できる。大きな電子分極率を持つ活性領域はその定義から明らかなように、僅かな電界に対しても大きな電気双極子能率ベクトルを持つ。

薄い障壁膜の障壁高さを調節して大きな電子分極率を有する活性領域を実現し、これを第 1 図のように格子状に並べると、近傍の活性領域の電気双極子能率ベクトルが同方向に揃った状態が実現できる。これを、第 3 図に示す。これは、以下のような理由による。ある一つの活性領域に僅かな電気双極子能率ベクトルが生じたとすると、これは隣の活性領域の場所に小さな電界を作る。電子分極率が大きいので、この活性領域は大きな電気双極子能率ベクトルを持ち、

これは、C. Kittel 著、"Introduction to solid state physics," 第 5 版 (John Wiley & Sons, Inc)、417-418 頁によれば、

$$N \alpha > 3 / 4 \pi . \quad \dots \dots (5)$$

とあらわされる。ここで、 N は双極子の密度であり、本発明では活性領域の密度に対応する。上記したように、 α は薄い障壁膜のポテンシャルの高さを高くすれば極めて高くできるので、この条件を満たすのは容易である。従って、自発分極の実現性は明らかである。

薄い障壁領域の障壁高さ、あるいは厚みを増加させることにより、分極した状態の安定性が向上するので、高温まで自発分極が維持できるようになる。

3次元の立方格子以外の場合、例えば、正方格子あるいは 2次元の格子の場合には、上記条

件式の右辺の $3/4\pi$ が変化するものの、同様の条件式が成り立つ。

この自発分極の向きは、外部から印加する電界によって反転させることができる。分極（単位体積当たりの電気双極子能率）と外部電界の関係は、第4図に示すように、ヒステリシスを持つ関係になる。このヒステリシスを用いて情報の記憶を行うことができる。

これまでも自発分極を持つ物質として、BaTiO₃などの一群の強誘電体物質が知られている。これら自然の強誘電体の電気双極子能率ベクトルは、主に結晶を構成するイオンが変位することにより自発分極が発生していた。本発明では、電子が移動することにより電気双極子能率ベクトルが生じる点でこれらとは大きな相違がある。電子はイオンよりも遙かに軽いので、本発明は、自然の強誘電体に比べ、電界に対する応答速度ははるかに高速である。

本実施例の構造を電極間にはさみ込めば、高誘電率でかつ超高速応答可能なキャパシタが形

成できる。BaTiO₃などの強誘電体は、本質的に誘電率が高いが、イオンの変位によって高い誘電率を実現しているために、応答速度が低速であった。本発明では電子の変位によって高い誘電率を実現しているため、応答速度は通常の強誘電体よりも3桁以上高速である。

量子井戸の幅を大きく設計すると、電子の移動できる範囲が広がるので、誘電率は大きくなる。また、量子閉じ込め構造の密度を増加させる（格子間隔を短くする）ことによって、量子閉じ込め構造間の双極子相互作用が強まるので、やはり誘電率は高くなる。

これまで半導体超格子構造は盛んに研究されてきたが、異種の半導体を組み合わせて、移動度、バンドギャップ等の物性定数が異なる半導体を実現するに留まっていた。これに対して、本発明は、半導体を組み合わせて、強誘電体という全く質的に違う物質と同様の性質が実現できる点で従来とは、大きく異なっており、画期的な発明と考えられる。

このように自発分極及び分域構造を有する本実施例では、外部電界の印加により分域の発生、消去及び境界位置の移動が可能である。

本発明では、量子閉じ込め構造の電気双極子の空間分布により情報を表現するので、従来のトランジスタ回路での情報の表現方式に比べ様々な利点がある。（従来のトランジスタ回路では、トランジスタはスイッチとして機能し、トランジスタがオン状態となるかオフ状態となるかをデジタル信号と対応させている。この時、信号は金属配線中の電位としてあらわれる。）電気双極子は、電界によって容易に向き・大きさを制御することができる。従って、金属の配線を用いなくとも、遠距離から向き・大きさを变化させることができる。すなわち、配線無しに情報を伝達できる。

また、電気双極子の向きや大きさを変えるのには、トランジスタのように電流を流す必要がないので、本発明は本質的に超低消費電力の動作に向いている。

電気双極子間の相互作用も光の伝播速度で伝わるので、極めて高速である。情報の伝達速度に関して、従来の半導体素子のような電子の飽和速度に起因する制限を受けない。

本発明は、有限の分極を電源なしに保持できるので、分極の向き・大きさを場所により変化させて記録しておけば、記憶媒体として用いることができる。高密度に量子閉じ込め構造を配列することにより、通常の半導体記憶装置より遙かに高い記憶密度を得ることができる。また、磁気記録では書き込み時に磁場を発生する必要があり、この時大きな電流を流す必要があるが、本発明では電場を発生するだけでよいので、書き込み装置の消費電力、サイズは磁気記録に比べ遙かに小さなものとなる。また、本発明は半導体を用いているため、この記憶媒体と同一材料の上に、従来の半導体デバイス・回路を作成することができるので、記憶の読みだし、書き込み回路、通信用回路あるいは信号処理回路等を従来技術で作成することも容易である。

本発明を用いた第2の実施例を以下に説明する。第5図に本発明の第2の実施例による不揮発性ランダムアクセスメモリ(RAM)の記憶セルに用いる電界効果型トランジスタを示す。

ここで、8はp型シリコン基板、9はn+領域からなるソース領域、10は同じくn+領域からなるドレイン領域、11はソース端子、12は薄い障壁膜、13はゲート端子、14はゲート電極、15は障壁領域、16は量子井戸、17はドレイン端子である。量子井戸は多結晶Siからなり、薄い障壁膜は、電子のトンネル電流が流れる程度に薄く、かつn型にドーパされたSiO₂膜である。障壁領域、量子井戸、薄い障壁膜からゲート絶縁膜(18)が構成される。この中には第一及び第二活性領域(19、20)が含まれる。

次にこの第2の実施例による絶縁ゲート型電界効果型トランジスタの動作を第6図を用いて説明する。ゲート絶縁膜18の中では、第6図(a)、(b)に示す2通りの状態が安定して

存在する。即ち、電気双極子が上向きの状態と下向きの状態である。薄いSiO₂膜のドナー不純物から生じる伝導電子は量子井戸に分布する。薄いSiO₂膜の領域では、ポテンシャルエネルギーが高いため、電子の存在確率は必然的に小さくなる。このためにわずかな熱揺らぎによって中心から離れた量子井戸に電子は存在しやすくなる。従って有限の電気双極子が発生しやすい。第一の活性領域20が上向きの電気双極子を持つとき、第二の活性領域には上向きの電界が印加される。従って活性領域2にはやはり上向きの電気双極子が生じる。この第二の活性領域の電気双極子は第一の活性領域にやはり上向きの電界を作るので、第一の活性領域の上向きの電気双極子能率ベクトルはますます大きくなる。以上述べたポジティブフィードバックの効果により、上向きの状態が安定であることがわかった。まったく同様の議論が下向きの電気双極子の状態についても成立し、やはり安定となる。このようにして、このゲート絶縁膜

18は内部に2つの安定状態を持つ。この絶縁ゲート型電界効果トランジスタのソース、ドレインを接地して、ゲート電極に印加する電圧を変化させると第7図に示すようなヒステリシスを持つ電流電圧特性が得られる。ゲートソース間電圧が0V時にも、ドレイン電流が流れる状態と流れない状態が実現できる。

以上の性質を用いることにより、不揮発の(電源が接続されていないときにもデータを保持する)RAMが実現できる。この構成の一例を第8図に示す。29は行方向デコード回路、21はワード線、27はコントロール線、22はデータ線、26はメモリセル、24は通常の絶縁ゲート型電界効果トランジスタを用いた選択トランジスタ、25は第5図で説明した二安定状態を有する電界効果型トランジスタによる記憶トランジスタ、28は列方向デコード/選択回路、及びセンス回路である。

この不揮発RAMの書き込み及び読み出し動作を次に説明する。書き込み時には選択する

ワード線をローからハイにする。その他のワード線は、ローである。次に、書き込みたいビットのコントロール線を書き込み電圧にし、データ線をローレベルにする。このビットの記憶トランジスタのゲートは書き込み電圧、ドレインはローレベルとなるので、記憶トランジスタは低しきい値の状態となる。すなわち、このビットのメモリにはローが書き込まれた。次にハイを書き込む場合には以上のロー書き込みの動作の後にコントロール線をローにして、かつハイを書き込みたいメモリセルのデータ線だけを書き込み電圧にする。このとき記憶トランジスタのゲートソース間にはローレベル、ドレインソース間には書き込み用電圧から選択トランジスタのしきい電圧だけ低いレベルが印加される。従って、ゲートドレイン間にはマイナス極性で書き込み用電圧が印加され、記憶トランジスタは高しきい値状態となる。すなわち、ハイが書き込まれる。

読みだし時には、ワード線をハイレベルにし

て、選択トランジスタをオン状態とし、コントロール線をローレベル、データ線を（読みだし用の）ハイレベルとする。記憶トランジスタが低しきい値状態となっているメモリセルでは、記憶トランジスタ、選択トランジスタともにオン状態となるので、データ線の電荷をメモリセルが放電し、データ線の電位が下がる。記憶トランジスタが高しきい値状態となっているメモリセルでは、データ線はハイレベルのままである。このデータ線の信号をセンスアンプで増幅し、外部へ出力して読みだし動作が完了する。

書き込み用の電圧は読みだし用の電圧よりも高く設定する。この実際の電圧値は記憶トランジスタのヒステリシス特性により決める。

従来、半導体不揮発性メモリでは絶縁膜を介して電荷を注入したり引き抜いたりするために、絶縁膜の長期的な疲労により、データの書き換え回数に制限があった。絶縁膜を薄くすれば、書き換え回数は向上するが、これではデータの保持期間が短くなってしまふ。また、データの消

去／書き換えには、絶縁膜を介して電荷を注入する必要があり、ミリセカンド程度の時間が必要であった。これらのことより、計算機のマシンサイクル毎にデータを書き替えるような用途には適さなかった。

これに対して、本実施例では双極子相互作用によるポジティブフィードバックによってデータ保持を行っている。すなわち、絶縁ゲート内部に2つの状態を安定に保つ動きがある。従って、薄い障壁膜の厚さを10オングストローム以下に薄くしても、記憶の保持には影響がない。従って、上記長期疲労の問題は回避できる。特に、この薄い障壁膜はエネルギーギャップの大きい半導体により構成することもでき、この場合は、かりに厚い膜を用いても、長期疲労の問題はない。また、この記憶装置のデータの消去あるいは書き換え時間は、極めて高速であり1ナノ秒以下にできる。これは、書き換え時には少数のキャリアが障壁膜の上から下へ（あるいは下から上へ）移動するだけでよいからである。

本発明の第3の実施例を以下に説明する。第9図(a)は本発明第3の実施例による記憶装置の一例を示す。

同図(c)に示すように、第一の実施例と同様に、第一量子井戸35、第二量子井戸36、薄い障壁膜34からなる活性領域31が障壁領域37の中に格子状に埋め込まれている。第一量子井戸35、第二量子井戸36は障壁領域37より電子親和力の大きい材料により構成され、薄い障壁膜34は第一量子井戸35、第二量子井戸36いずれよりも電子親和力の小さな材料からなる。33はドナー不純物である。第一の実施例との違いは、第一量子井戸35の電子親和力が第二量子井戸36の電子親和力よりも大きく設定されている点であり、単独の活性領域で考えると電子は第一量子井戸35に安定して存在する。

この活性領域は、薄膜状の障壁領域の中で格子構造をしており、30は半導体あるいは金属からなる制御電極、38はn+半導体からなる接地領域である。

次にこの動作について説明する。格子状に配列した活性領域は、第1の実施例と全く同様の機構によって、自発分極を持ちうる。本実施例の場合には、第一量子井戸が第二量子井戸よりも電子親和力が大きいので、電子の存在確率は第一量子井戸の方が大きくなる。従って下向きの電気双極子（あるいは自発分極）が発生しやすい。但し、本実施例では全体の形状を膜形状としているため（水平方向の寸法が垂直方向の寸法に比べて、ずっと大きい）、反分極場が生じる。反分極場は、膜状の物質が分極したときに表面にできる電荷によって生じる電界であり、物質内部の分極を小さくする向きとなる。この反分極場のために、第9図(b)に示すように、上向きの反転した自発分極を有する微小領域（以後反転分極領域と呼ぶ）31が安定して存在することができる。

この反転分極領域31の存在は以下のように定式化することができる。この系のエネルギーは、以下の3項よりなる。

$$U_T = U_W + U_E + U_D \quad \dots\dots\dots (6)$$

ここで、 U_T はトータルのエネルギーであり、一様に下向きに分極している場合を基準としている。 U_W は反転分極領域とその他の領域の間の遷移領域の存在によるエネルギーの増加分、 U_E は反転分極領域と外部電界との相互作用を表わす項、 U_D は反分極場と反転分極領域の相互作用を表わす項である。反転分極領域を対称性より円形であると仮定すると、以下の解析式が得られる。

$$U_W = 2 \pi r \sigma \quad \dots\dots\dots (7)$$

$$U_E = 2 \pi r^2 P_s (E_{ext} + \Delta \phi / q d) \quad \dots\dots\dots (8)$$

$$U_D = -2 \pi r^2 P_s P_s (1 - 2N) / \epsilon \quad \dots\dots\dots (9)$$

ここで、 r は反転分極領域の半径、 σ は単位面積当たりの遷移領域のエネルギー、 P_s は自発分極

このような、反転分極は膜の方線方向と実質的に平行に電界を印加し、該電界を制御することにより発生させることは容易である。反転分極領域を発生させるには、膜に上向きに電界を印加すれば良い。これは、膜の表面付近に電極を形成し、これに負の電圧を印加すればよい。このとき第11図に示すように、 $r=0$ が不安定となり、有限の r だけが安定となる。この後、外部電界を0にしても、有限の r 値を保持する。

反転分極を移動させるには、膜に垂直な電界の強さに傾斜を設けることによって達成できる。第12図に示すような傾斜電界のもとでは、反転分極領域は上向きの電界が強くなる方向へ移動する。第11図に示すように上向きの電界が強い場所の方がエネルギーが低く、安定だからである。

反転分極領域を長距離にわたって移動させるには、第9図(a)及び第13図に示すような方法を用いる。T型制御電極39とI型制御電極40を第13図のように交互に配置する。これに薄膜の面と実質的に平行方向の、時間とともに向きが

の大きさ、 E_{ext} は膜に垂直方向下向きの外部電界、 $\Delta \phi$ は第一量子井戸と第二量子井戸の間の電子親和力の差、 q は電子の電荷量、 d は第一量子井戸と第二量子井戸の中心間の距離、 N は反電場係数(直径 $2r$ が膜厚 h と等しくなったとき約 $1/3$ となり、 r が大きくなるに従い単調に減少する)、 ϵ は量子井戸の誘電率である。この実施例では外部からは電界は印加していないが、第一量子井戸と第二量子井戸とで電子親和力の違う材料を用いることにより、 $\Delta \phi / q d$ が有限値である。この式によって、エネルギーの半径 r に対する依存性を求めると第10図のようになる。同図によれば、 r の安定な点として $r=0$ と $r=r_0$ の2つの条件がある。 $r=0$ の点は、一様に分極して、反転分極が無い場合であり、 $r=r_0$ は半径 r_0 の反転分極領域が発生する場合に相当する。このどちらの条件においても、一度その状態になると、状態を継続する。従って上記反転分極領域をデジタル信号の"1"あるいは"0"と対応させてデジタル情報の記録に用いることができる。

回転する電界(回転電界)をさらに印加する。該平行方向の電界のもとで、制御電極は分極し、端部に正あるいは負の電荷が生じる。負電荷の下にある活性領域には上向きの電界が印加されるので、反転分極領域は負電荷の下に存在する方が安定である。回転電界を印加すると、反転分極領域は制御電極の負電荷のある側に順次引き付けられて順次移動する。第13図に示す動作の繰返しによって、反転分極領域は任意の場所まで移動することができる。

以上述べたデバイスを同一チップ上に形成することにより、第14図(a)、(b)に示すようなシリアルメモリが形成できる。ここで、41は水平方向電界印加電極、42は電源及び制御回路、43は記憶部、44はセンス回路及びI/Oポート、45はマイナーループ、46は転送ゲート、47はメジャーループである。デジタル情報は、反転分極領域の有無により記録し、マイナーループ上を回転電場により周回している。情報の読みだしは、転送ゲート46を開き、読み出したい情

報をメジャーループに送りこんでI/Oポートを介して行う。情報の書き込みはその逆に、I/Oポートから反転分極領域をメジャーループに転送し、転送ゲートを介してマイナーループに送りこむことによって行う。

反転分極領域は一種の粒子（擬粒子）として動作し、情報を保持、伝達することができる。この反転分極領域は、従来の電子や正孔に換わる新しい情報の伝達担体（キャリア）として利用することができる。反転分極領域は、それ自体エネルギー的に安定であり、電子のように再結合により消滅することが無い。従来の電子を用いた情報記憶、情報処理では、多数の電子が移動することが必要であった。本発明では、反転分極領域の移動に際しては、実際の電子の移動は僅かであり、電界の分布が高速で移動する。従って、高速で電力消費の小さい情報伝達が可能になる。

次にこのような記録装置の効果について説明する。電源なしに情報を保持できるので、不揮発性の記録装置である。高密度に量子閉じ込め構造を

配列することにより、通常の半導体記憶装置より過かに高い記憶密度を得ることができる。また、磁気記録では書き込みに磁場を発生する必要があり、この時大きな電流を流す必要があるが、本発明では電場を発生するだけでよいので、書き込み装置の消費電力、サイズは磁気記録に比べ過かに小さなものとなる。また、本発明は半導体を用いているため、この記憶媒体と同一材料の上に、従来の半導体デバイス・回路を作成することができるので、記憶の読み出し、書き込み回路、通信回路あるいは信号処理回路等を従来技術で作成することも容易である。

不均一な垂直電界を印加すれば反転分極領域は移動することを上に述べたが、従来の半導体デバイスとは次に述べる意味で本質的な相違がある。まず、この反転分極領域の移動においては、電子は各量子閉じ込め領域の中で第一量子井戸と第二量子井戸の間の極めて短い距離を移動するだけである。しかも電子が移動する方向は膜に垂直な方向であり、反転分極領域の移動方向とは垂直の方

向である。従来の半導体装置では情報と同時に電子が半導体中を実際に移動する必要があったが、本発明の情報の伝達ではこのような電子の移動を伴わない（あるいは極めて僅かの移動しか伴わない）。実際には、電気双極子が作り出す電界が半導体を光の伝播速度で伝わることになる。従って、反転分極領域の移動は超高速である。また、従来の半導体デバイスでは、電子が電界により加速され（すなわちエネルギーを得て）、障害物（結晶格子や不純物）に衝突しながら走行するので、エネルギーが熱に変わってしまう。すなわち消費電力が大きく、チップ発熱も大きい。これに対して本発明は、実際に電子が移動するわけではないので、このようなエネルギーの消費が極めて小さい。

本実施例では、第一量子井戸と第二量子井戸の電子親和力は異なる場合を示したが、電子親和力が同じ場合にも、膜に垂直に電界を印加することにより同様の効果を得ることができる。

本実施例では、活性領域にドナー不純物を添加し、電子が活性領域中を移動する例を述べたが、

アクセプタ不純物を印加し正孔の運動を利用して同様の効果を得ることができる。

次に本実施例の製造プロセスについて第15図(a)、(b)、(c)、(d)を用いて説明する。まずn型の半導体基板の上に障壁領域となる膜、量子井戸となる膜、薄い障壁領域となる膜、量子井戸となる膜、障壁領域となる膜を次々に形成する。具体的な材料の一例をあげれば、半導体基板としてはSiを用い、障壁領域としてはノンドーブのSi、量子井戸にはSiGe、薄い障壁領域にはBがドーブされたSiを用いる。この場合、量子井戸に閉じ込められるのは正孔となる。これをホトリソグラフィ及びドライエッチングにより加工して（同図(b)）、量子閉じ込め構造を作製する。この後、同図(c)に示すように、障壁領域となる半導体領域を選択成長させる。最後に保護膜及び制御電極を形成して本発明を得る。

第17図には、本発明の第4の実施例のランダムアクセスメモリを示す。同図(a)に示すように、第一量子井戸49、第二量子井戸50、薄い

障壁膜51からなる活性領域52、53が障壁領域54の中に埋め込まれている。第一量子井戸49、第二量子井戸50は障壁領域54より電子親和力の大きい材料により構成され、薄い障壁膜51は第一量子井戸49、第二量子井戸50いずれよりも電子親和力の小さな材料からなる。55はドナー不純物である。56は記憶セルであり、一对の活性領域52、53からなる。この記憶セルをはさむ形でワード線57及びデータ線58が形成されている。ワード線及びデータ線は、高不純物濃度の半導体あるいは、金属からなるものとする。さらに同図(b)の断面図に示すように、記憶セル、ワード線、データ線を積層して高密度に並べる。

次に、本実施例の動作について説明する。記憶セルにデジタルの情報を書き込むときは、以下のようにする。ワード線を正の電圧Vに設定し、データ線を負の電圧-Vに設定する。この時非選択のワード線、ビット線は接地レベルとする。選択された記憶セルには2Vの電圧が印加され、活性

領域52の電子は第二量子井戸から第一量子井戸へと移動する。これによって、活性領域52には、下向きの電気双極子が生じる。この電気双極子は活性領域53に上向きの電界を作るので、この電界の影響で活性領域53には上向きの電気双極子が生じる。これを状態1とする。反対の情報(0)を書き込むには、ワード線に電圧-Vを印加し、データ線に電圧Vを印加すれば良い。

この書き込み時、非選択セルにはVだけの電圧が印加されるが、第一量子井戸と第二量子井戸の間の障壁高さ及び活性領域52と活性領域53の距離を調節することにより、電圧Vでは状態は変化せずに、電圧2Vでは状態が反転するように設計できる。

第18図に示すように、記憶セル是一对の電気双極子が互いに双極子を大きくする方向の電界を印加し、正帰還が生じるので安定に状態を保持する。これは同図に示すようにちょうどフリップフロップ(ラッチ回路)を電気双極子によって擬似したものとなっている。このような電気双極子に

よるフリップフロップ(ラッチ回路)としては第19図に示すような直列に接続したものも考えられる。

情報の読みだしは以下のようにする。ワード線にVの電圧を印加し、データ線に-Vの電圧を印加すると選択セルには1が書き込まれる。この時、もともと記憶セルが1の場合にはデータ線になれる電流は僅かである。これに対し、もともと0の場合には、記憶セルの電気双極子を反転するのに必要な電荷が、記憶セルからデータ線に流れ込む。この電荷を高感度のセンス増幅器により読み出す。この時、記憶セルの情報は破壊されるので、読みだし後、再書き込みを行う。

本実施例によれば、超高密度のメモリが構成できる。特に、第17図(b)に示すように、3次元的に配列することにより、大容量のメモリが構成できる。また、活性領域の対という単純な構成により、擬似的にスタティックなフリップフロップ(ラッチ回路)を構成でき、安定に状態を保持できるという特徴がある。従って、従来のダイナ

ミックRAMのようなリフレッシュ動作は不要である。従って、本発明を用いた記憶装置の制御回路は簡素なものとなる。

本発明の第5の実施例を用いて、ある動作温度を設定した時に、どのような構造を取ればよいかについて説明する。

第20図は、本発明第5の実施例による活性領域に電界を印加した場合の、双極子内の分極によるキャリア位置の変位と印加電界との関係を示す図である(具体的な構造としては第1図に示す構造を考える)。電界を印加するとキャリアは活性領域の中心から変位する。この変位の大きさは電界が小さい間は、電界に比例する。変位の電界依存性すなわち変位の電界に対する比例係数は、低温になるほど大きくなる。これは、低温になるとキャリアの熱エネルギーが小さくなるため、キャリアが第一量子井戸もしくは第二量子井戸の一方に安定して存在する確率が大きくなり、双極子が形成されやすくなるためである。この比例係数があるしきい値より大きくなると、活性領域は、自

発的に変位する。このしきい値は、次のようにして決まる。ある活性領域のキャリアが、たまたま揺らぎによって変位すると、これによってこの周囲に電界を作る。このため、周囲の活性領域は分極する（誘起双極子を持つ）。この誘起双極子によりもともとの活性領域にフィードバック電界が印加され、キャリアが変位する。相互作用が充分強く、このキャリアの変位が始めの揺らぎと等しいかあるいはそれより大きければ、外部から電界を印加することなしに、自発的にキャリアは変位する。これは等価回路で考えると、フィードバック増幅回路においてフィードバックループの利得が1を超えると発振するのに対応している。

このような動作原理により、本発明による半導体装置の誘電率の温度依存性は、従来の半導体に無い特異なものとなる。上記誘電率の温度依存性と半導体装置の構造定数との関係を計算機シミュレーションで計算した結果を第21図ないし第28図に示す。第21図はSi/p形SiO₂もしくはGaAs/p形AlAsにおいて図に示し

を定義できる。

第21図の、単一量子井戸と記された曲線が示すように、単一の量子井戸すなわち障壁膜のない量子井戸からなる構造では相転移は発生せず、誘電率の値は小さく、温度依存性はほとんど無い。

実施例1から実施例3までに説明したような情報の保持、記憶が可能となるためには、この転移温度以下の温度で動作させる必要がある。この転移温度は以下に明らかにするように、本発明による半導体装置の各種の構造定数に依存する。該各種の構造定数は第1図中に示した、双極子格子定数 a （活性領域の中心間の距離）、量子井戸の幅 d 、量子井戸間の障壁膜の厚さ t 、障壁膜の障壁高さ b 、量子井戸内の有効質量 m 等である。

第22図には転移温度 T_c の双極子格子定数 a 依存性、第23図には転移温度 T_c の量子井戸幅 d 依存性、第24図には転移温度 T_c の量子井戸間障壁厚さ t 依存性、第25図には転移温度 T_c の有効質量 m/m_0 依存性、第26図には転移温度 T_c の量子井戸間障壁高さ b 依存性を示す。

た構造定数を設定した場合に、誘電率の温度依存性を示したものである。充分高温ではキャリアは熱エネルギーにより互いにランダムに分布し、無秩序状態が形成される。このため、誘電率は低い。温度低下に伴い、双極子間の相互作用が強くなり、双極子は互いに強い正の相関を持って運動するようになる。このため誘電率は急激に増加する。転移温度 T_c では、全てのキャリアが強く相関しあうようになり、自発分極（あるいは自発変位）が生じる。この時、誘電率は理想的には無限大となる。転移温度 T_c 以下では誘電率は同様に理想的には無限大となる。転移温度 T_c 以下の低温相では、自発分極のためキャリアが一方向に揃って変位した状態すなわち秩序状態が形成される。転移温度 T_c は秩序/無秩序状態の相転移温度といふことができる。

誘電率は実用的には例えば100付近以上、好ましくは500付近以上、より好ましくは1000付近以上が必要である。実用的にはこれらの必要な誘電率の値を定義して、転移温度 T_c

双極子格子定数 a が大きくなると、活性領域間の相互作用が弱くなるため、転移温度 T_c は急激に低下する。量子井戸幅 d が大きくなると、量子井戸内に閉じ込められていたキャリアの零点エネルギー（基底状態のエネルギー）が低下し、障壁膜をトンネル効果によって通過する確率が減少するため、変位している状態の安定性が強まる。このため転移温度が上昇する。量子井戸間の障壁膜の厚さ t を増加するとトンネル確率が減少するため、同様に転移温度は上昇する。また、有効質量 m が大きくなるとやはりトンネル確率が減少するため、転移温度が上昇する。また、量子井戸間の障壁高さ b を増加するとやはりトンネル確率が減少するため転移温度は上昇する。

第27図には各種の寸法を比例縮小（あるいは拡大）した場合の転移温度 T_c の変化を示す。各種の寸法を互いに比例させて変化させると、これらの効果が複合して作用する。解析によれば寸法の比例拡大と共に転移温度が上昇し、寸法の比例縮小と共に転移温度が低下する。

以上のような寸法と動作温度との関係をまとめると、近似的には第28図のように表わすことができる。すなわち、パラメータ $5000 \cdot bh \cdot t^2 \cdot d^2 \cdot m / (a^3 \cdot m_0) [eV][nm]$ によって動作可能温度範囲が決定される。

第28図の縦軸の動作可能温度 T の上限値が、装置の冷却機構等で決まる装置温度よりも高い温度になるように、横軸のパラメータを決定する。動作温度 T として、例えば室温動作を想定すると、 T は300 (K) 付近以上が必要である。また装置の冷却機構に応じて、200 (K)、150 (K)、100 (K)、等の値が選ばれる。また液体窒素で冷却する装置構成においては、液体窒素温度の77 (K) 以上の動作温度を確保するように決められる。

第28図の指針によれば、ある動作温度を決めると、それに対応した構造定数を決定することができる。特に第28図の横軸に示すパラメータが、双極子格子定数 a についてはその3乗に比例し、他の構造定数についてはその1乗乃至2乗に比例

線の抵抗などが増加してしまう。また、素子構造の複雑化により、集積回路の製造コストは微細化とともに急激に増加してきている。さらに、動作速度も飽和速度により制限されてしまう。

本発明の情報表現方式では、電気双極子の空間的な分布を情報と対応づける。従って、金属の配線を用いなくとも、遠距離から向き大きさを変化させることができる。しかも、電気双極子の向きや大きさを変えるのには、トランジスタのように電流を流す必要がないので、極めて低消費電力で動作できる。また、多数の電気双極子を同時並列に遠隔制御することが可能であるので、これを用いたプロセッサは本質的に並列処理に向いている。並列処理は高速な情報処理に極めて重要であることはいままでもない。また、従来の金属配線によるクロック分配では、配線抵抗によるクロックスキューのため多数の情報処理エレメント間の同期を取るのには困難であり、高速動作の障害となっている。本発明では、電界により電気双極子を遠隔操作することにより、クロックの分配は光の伝播

することから、双極子格子定数 a を設定することが主要な要件となりうる。一例として、300 (K) 付近の室温動作を想定し、量子井戸には Si を、障壁膜としては p 型の SiO_2 を用いる場合には、(第27図より) 双極子格子定数 a を20 nmとし、他の構造定数については量子井戸幅 d を8 nm、障壁膜厚さ t を3.4 nmとすればよい。

【発明の効果】

従来のトランジスタを用いた集積回路においては、トランジスタが動作する毎に、トランジスタ内部および配線に付随した浮遊容量の充電、放電を行うため、大きな電力消費が必要であった。また、集積度の増加とともに配線に要する面積、配線の抵抗などが増加してしまう。また、素子構造の複雑化により、集積回路の製造コストは微細化とともに急激に増加してきている。さらに、動作速度も飽和速度により制限されてしまう。

本発明の情報表現方式では、電気双極子の空間的な分布を情報と対応づける。従って、金属の配

速度で行われるので、クロックスキューは極めて小さい。

また、電気双極子は、その周りに極めて異方性の強い電界分布を作るので、隣接双極子間の情報の伝達は、やはり金属の配線を用いないで行うことができる。電気双極子間の相互作用は光の伝播速度で伝わるので、極めて高速であり、従来の半導体素子のような電子の飽和速度に起因する制限を受けない。

また、本発明は、従来のトランジスタを相互配線した集積回路に比べて極めて単純な構造を有する。

さらに、量子閉じ込め構造として、2重極小ポテンシャル構造を用いると、伝導キャリアは第1の低ポテンシャルエネルギー領域に存在するか、第2の低ポテンシャルエネルギー領域に存在するかによって2種類の電気双極子と対応付けすることができるのでデジタル信号処理、デジタル信号記憶と適合する。

量子閉じ込め構造は、ナノメートルレベルの寸法

に小さくできるので、これを用いた信号処理チップ、記憶チップは極めて高集積にできる。

また、2重極小ポテンシャル構造では、電子分極率が極めて大きくなるため、微小な電界で電気双極子能率ベクトルを変化させることができる。さらにこれを格子状に並べると、近傍の活性領域の電気双極子能率ベクトルが同方向に揃った状態が実現できる。すなわち、自発分極を持つ。この分極は電源なしに保持できるので、分極の向き・大きさを場所により変化させて記録しておけば、通常の半導体記憶装置より遥かに高い記憶密度を得ることができる。また、磁気記録では書き込みに磁場を発生する必要があるが、この時大きな電流を流す必要があるが、本発明では電場を発生するだけでよいので、書き込み装置の消費電力、サイズは磁気記録に比べ遙かに小さなものとなる。また、本発明は半導体を用いているため、この記憶媒体と同一材料の上に、従来の半導体デバイス・回路を作成することができるので、記憶の読み出し、書き込み回路、通信用回路あるいは信号処理

回路等を従来技術で作成することも容易である。

また、このような2重極小ポテンシャルを持つ量子閉じ込め構造を格子状に並べた、これを薄膜形状にすると大部分の電気双極子と反対向きの電気双極子を持つ微小な反転分極領域が形成される。この反転分極領域は大きさが一定であり、大きな電界を印加して消去しないかぎり安定して存在するので、一種の粒子（あるいは擬粒子）としてふるまう。この反転分極領域は一様な垂直電界のもとでは静止しているが、場所によって垂直電界が変化すると、移動する性質がある。従って、この反転分極領域の面内分布を情報に対応させれば、情報を記録することができる。この記憶方式では、記憶密度が極めて大きい、記憶保持に電力消費は不要であり、従って不揮発である。

この反転分極領域をディジタル信号の1/0と対応させれば、ディジタルの信号処理にも用いることができる。本発明では情報の伝達は僅かな電子の移動と電界の伝播により行う。従って光の伝播速度に近い速度で情報が伝わる。従って、超高

速に情報処理が行なわれる。また、実際に電子の移動は極めて僅かであるので、エネルギーの消費は極めて小さい。

従って、本発明を用いた情報の記憶装置、情報処理装置は従来に比べ超高速で超低消費電力となり、その工業的価値は極めて大きい。

4. 図面の簡単な説明

第1図(a)は本発明の第一の実施例の活性領域の構造を示す図、第1図(b)は活性領域におけるポテンシャルエネルギーを示す図、第1図(c)は格子構造を示す図。第2図は、電気双極子の作る電界分布(電気力線)を示す図、第3図は本発明の第一の実施例の分極構造を示す図、第4図は本発明の第一の実施例の分極と電界の関係を示す図、第5図は本発明の第二の実施例の記憶装置のメモリセルに用いるトランジスタの構造を示す図、第6図は本発明の第二の実施例のゲート絶縁膜におけるポテンシャルエネルギーの分布と電子の分布を示す図、第7図は本発明の第二の実施例のドレイン電流とゲートソース間電圧の関係を

示す図、第8図は本発明の第二の実施例の記憶装置の回路図、第9図は本発明の第三の実施例の情報処理装置の構造及びポテンシャルエネルギーを示す図、第10図は本発明の第三の実施例のエネルギーと反転分極領域の半径との関係を示す図、第11図は本発明の第三の実施例のエネルギーと反転分極領域の半径との関係において電界が印加されている場合の図、第12図は本発明第三の実施例において反転分極領域の傾斜電界による移動を示す図、第13図は本発明第三の実施例において反転分極領域の転送法を示す図、第14図(a)は本発明第三の実施例による反転分極領域を用いたシリアルメモリの構成を示す図、第14図(b)は本発明第三の実施例によるシリアルメモリの記憶部を示す図、第15図は本発明の第三の実施例における製造プロセスを示す図、第16図は従来の量子結合装置を示す図、第17図(a)は本発明の第4の実施例のランダムアクセスメモリの記憶セル部を示す図、第17図(b)は記憶セルアレー部の断面構造を示す図、第18図は活性領域

対とラッチ回路との類似を説明する図、第19図は直列接続の活性領域とラッチ回路の類似を示す図である。第20図は本発明第5の実施例の活性領域に電界を印加した場合の、キャリア位置の電界依存性を示す図、第21図は本発明の誘電率の温度依存性を示す図、第22図は転移温度の格子定数依存性を示す図、第23図は転移温度の量子井戸幅依存性を示す図、第24図は転移温度の量子井戸間障壁厚さ依存性を示す図、第25図は転移温度の有効質量依存性を示す図、第26図は転移温度の量子井戸間障壁高さ依存性を示す図、第27図は全ての寸法を比例縮小（あるいは拡大）した場合の転移温度の変化を示す図である。第28図は本発明の動作可能範囲を示す図である。

符号の説明

1…第一量子井戸、2…薄い障壁膜、3…第二量子井戸、5…ドナー、6…活性領域、8…p型シリコン基板、9… n^+ 領域からなるソース領域、10… n^+ 領域からなるドレイン領域、11…ソース端子、12…薄い障壁膜、13…ゲート端子、

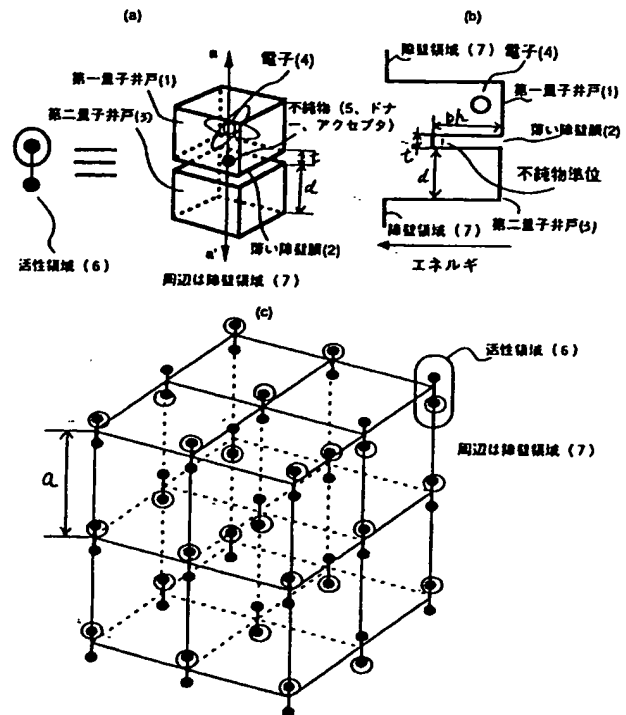
14…ゲート電極、15…障壁領域、16…量子井戸、17…ドレイン端子、18…ゲート絶縁膜、19…第一活性領域、20…第二活性領域、21…ワード線、22…データ線、26…メモリセル、24…通常の絶縁ゲート型電界効果トランジスタを用いた選択トランジスタ、25…二安定状態を有する電界効果型トランジスタによる記憶トランジスタ、27…コントロール線、28…列方向デコード/選択回路及びセンス回路、29…行方向デコード回路、30…制御電極、31…反転分極領域、32…電子、33…ドナー不純物、34…薄い障壁膜、35…第一量子井戸、36…第二量子井戸、37…障壁領域、38…接地領域、39…T字型制御電極、40…I字型制御電極、41…水平方向電界印加電極、42…電源及び制御回路、43…記憶部、44…センス回路及びI/Oポート、45…マイナーループ、46…転送ゲート、47…メジャーループ、48…量子ドット、49…第一量子井戸、50…第二量子井戸、51…薄い障壁膜、52、53…活性領域、54…障

壁領域、55…ドナー不純物である。56…記憶セル、57…ワード線、58…データ線。

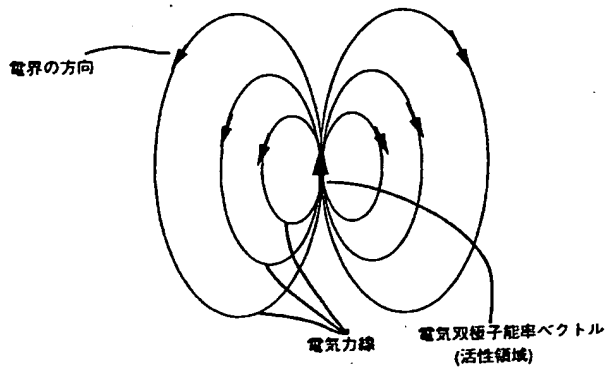
代理人弁理士 小川 勝・男



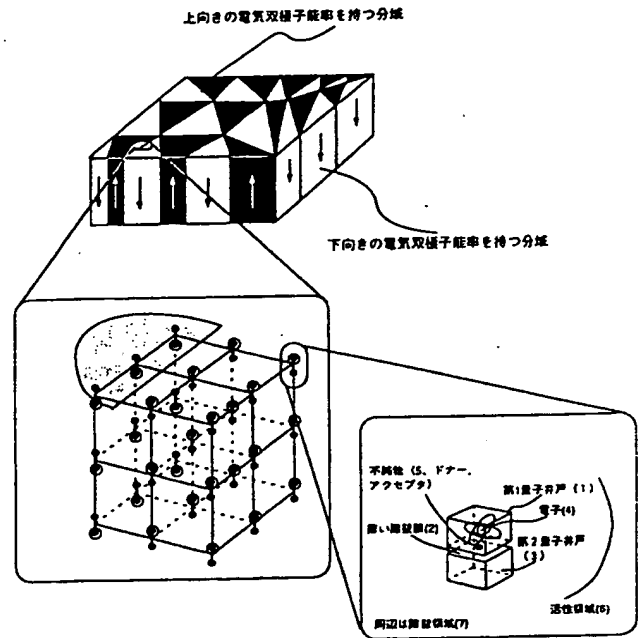
第1図



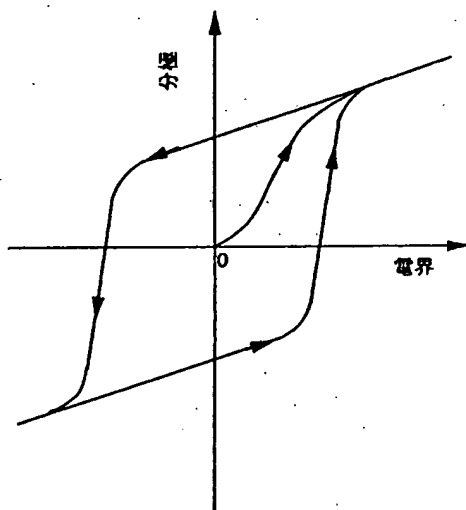
第2図



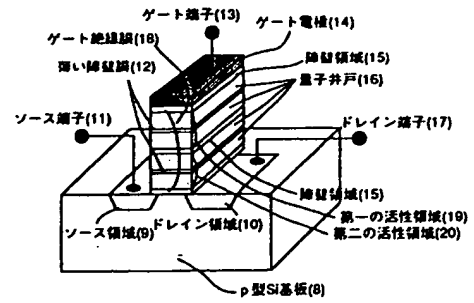
第3図



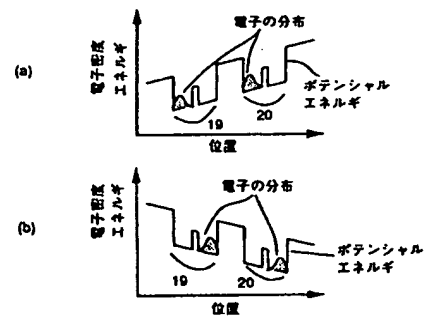
第4図



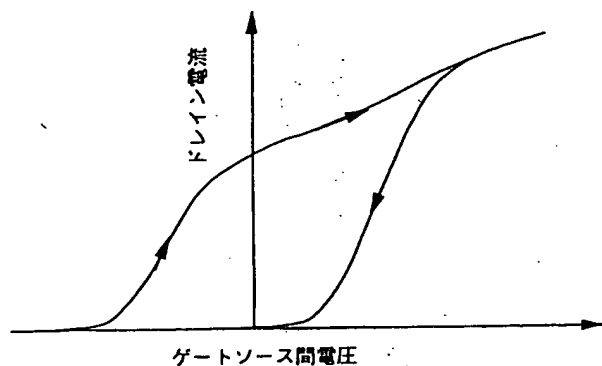
第5図



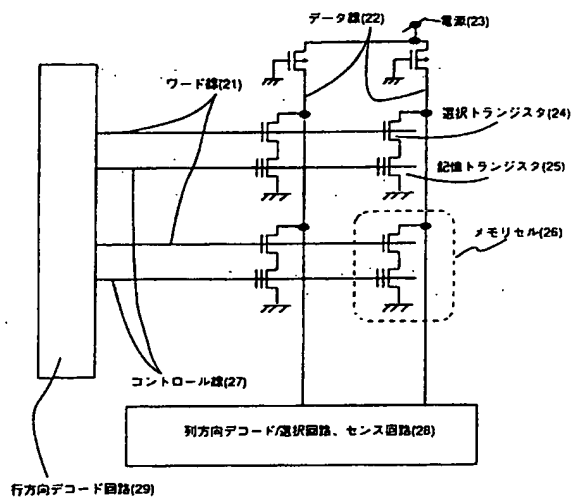
第6図



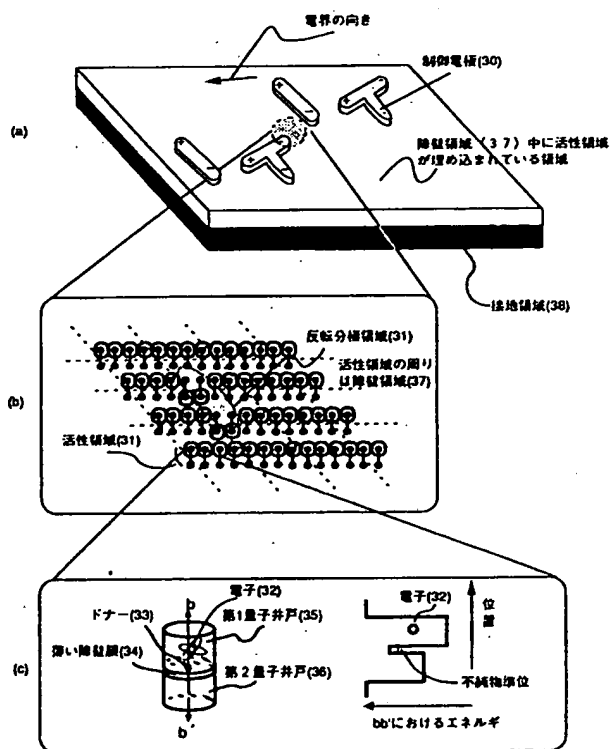
第7図



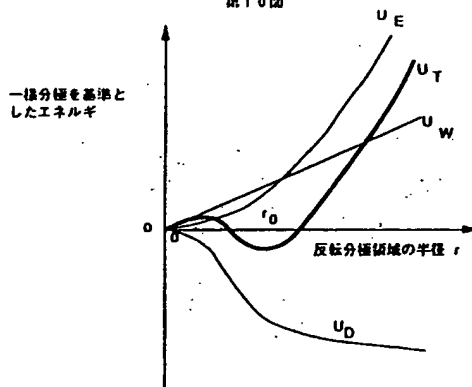
第8図



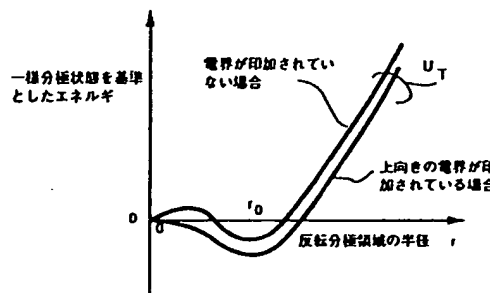
第9図



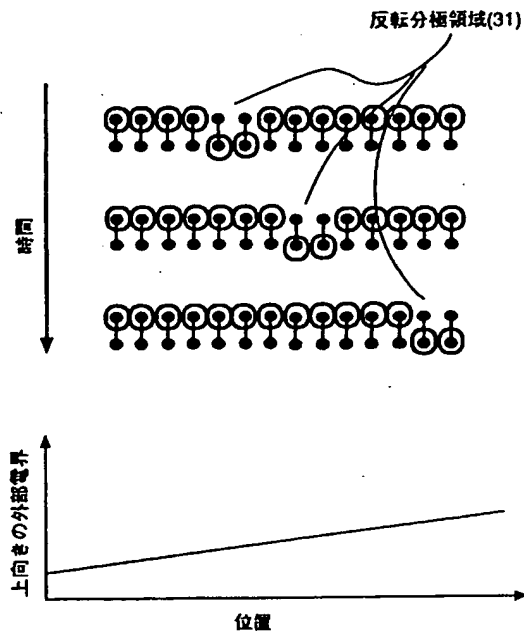
第10図



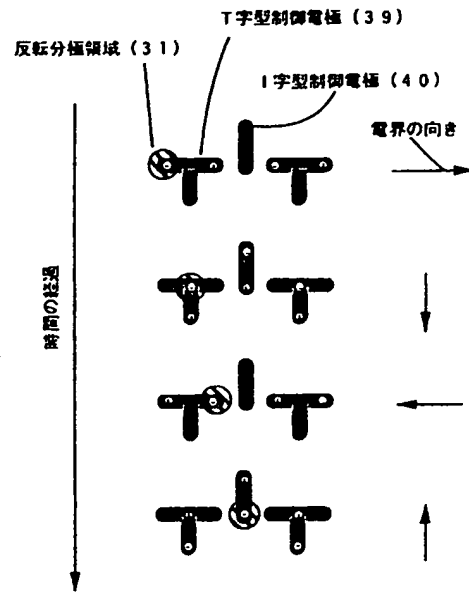
第11図



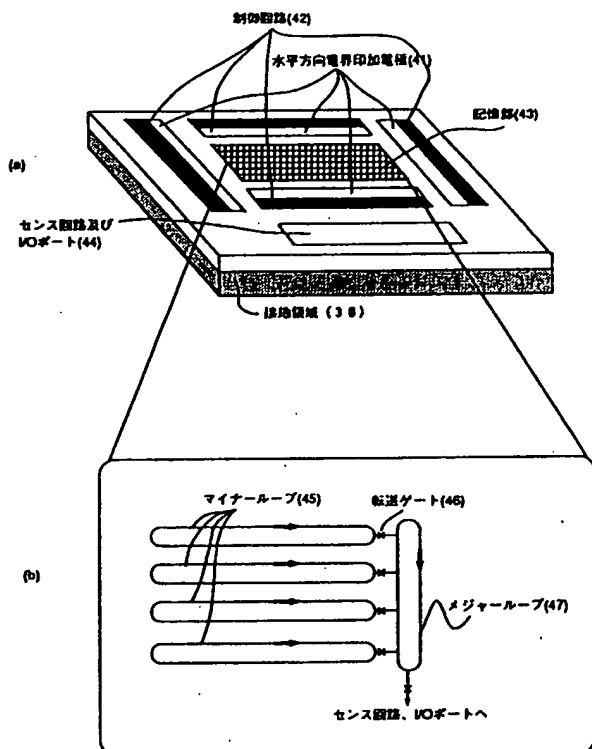
第12図



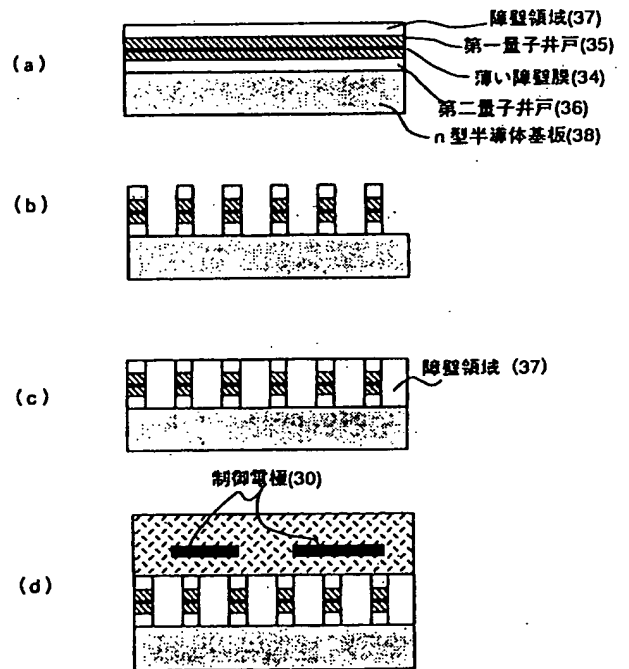
第13図



第14図

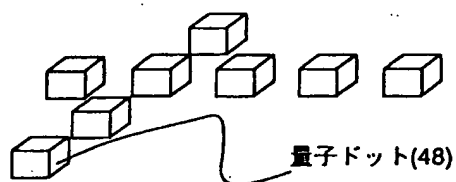


第15図



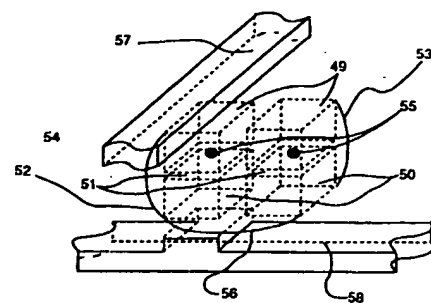
第17図

第16図

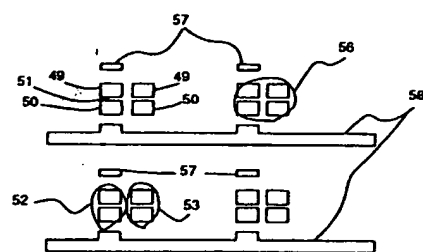


量子ドットの周辺は障壁となる材料で満たされている

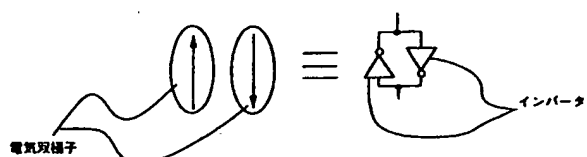
(a)



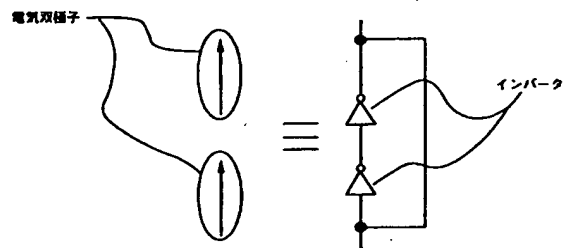
(b)



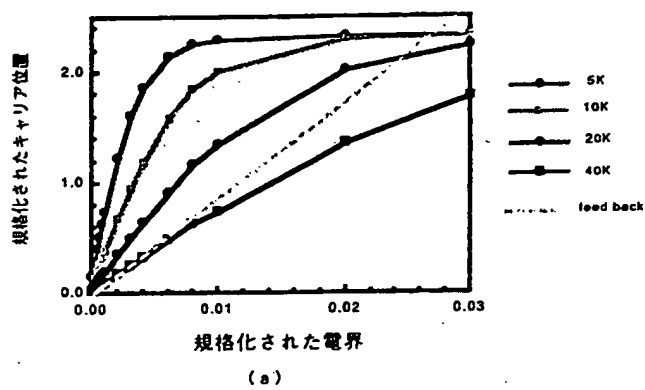
第18図



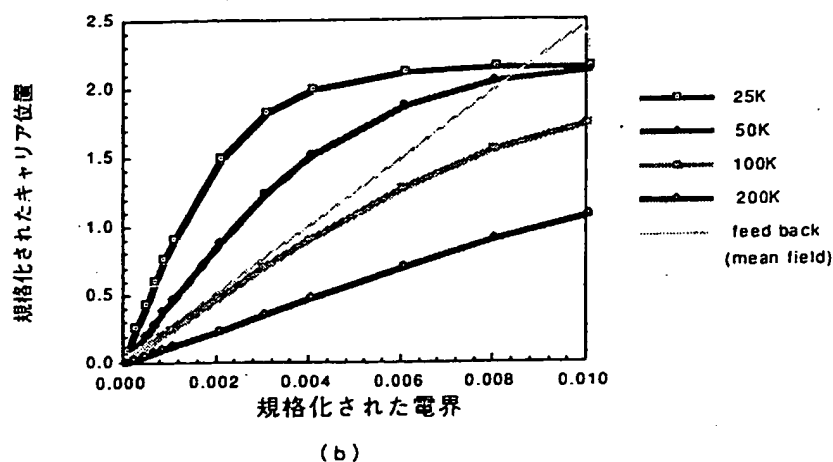
第19図



第20図

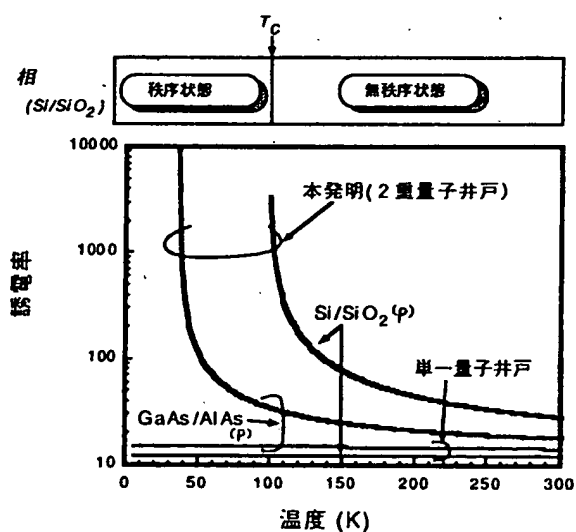


第20図



(a) GaAs/AlAsを用い、格子定数は10 nm、量子井戸幅は4 nm、障壁膜厚さは1.67 nm。(b) Si/SiO₂を用い、格子定数は4 nm、量子井戸幅は1.4 nm、障壁膜厚さは0.67 nm。

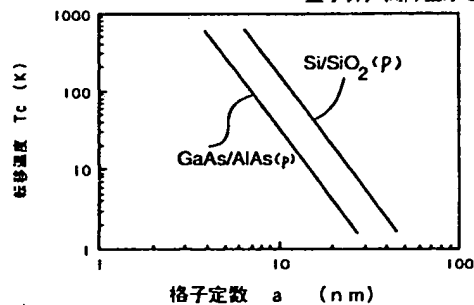
第21図



GaAs/AlAsでは、格子定数は10 nm、量子井戸幅は4 nm、障壁膜厚さは1.67 nm。(b) Si/SiO₂では、格子定数は4 nm、量子井戸幅は1.4 nm、障壁膜厚さは0.67 nm。

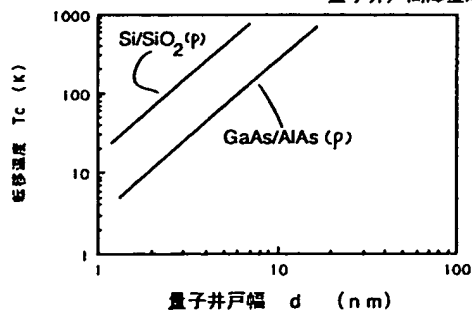
第22図

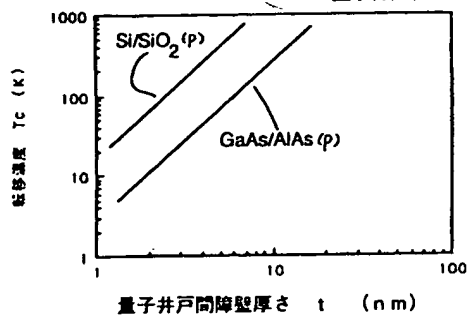
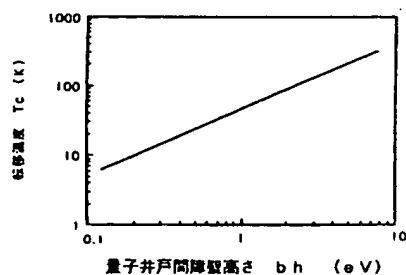
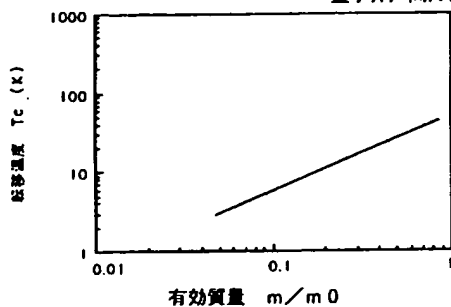
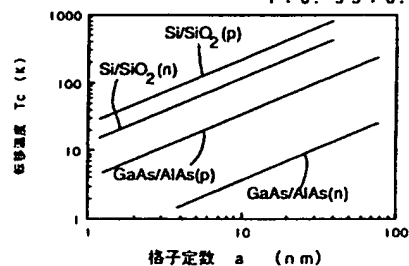
量子井戸幅4 nm
量子井戸間障壁厚さ1.67 nm



第23図

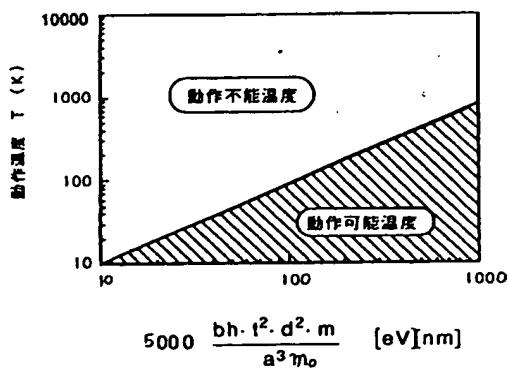
格子定数10 nm
量子井戸間障壁厚さ1.67 nm



第24図 格子定数10nm
量子井戸幅4nm第26図 格子定数10nm
量子井戸幅4nm
有効質量0.62第25図 格子定数10nm
量子井戸幅4nm
量子井戸障壁厚さ1.67nm
量子井戸障壁高さ0.64eV第27図 格子定数:量子井戸幅:量子井戸障壁厚さ
1:0.35:0.17

但し、その他の寸法も、格子定数に比例して変化させている。

第28図



手続補正書(方式)

平成 2年 12月14日

特許庁長官 殿

事件の表示

平成 2年 特許願 第214267号

発明の名称

半導体装置

補正をする者

事件との関係 特許出願人

名称 (510) 株式会社 日立製作所

代理人

居所〒100

東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内

電話 東京 212-1111(大代表)

氏名 (6850) 井理士 小川 勝男

補正命令の日付

平成 2年 11月27日

補正の対象

明細書の図面の簡単な説明の欄

補正の内容

1. 明細書第62頁第11行乃至第15行の「第14図(a)は・・・シリアルメモリの記憶部を示す図、」の記載を、「第14図は本発明第3の実施例による反転分極領域を用いたシリアルメモリの構成および記憶部を示す図、」と補正する。

代理人 弁理士 小 川 勝 男

